

**SEMICONDUCTOR DEVICE AND MANUFACTURE OF IT**

Patent Number: JP2001077142

Publication date: 2001-03-23

Inventor(s): NEGISHI YUJI; ITO TOMOHIRO; WAKABAYASHI TAKESHI

Applicant(s): CASIO COMPUT CO LTD

Requested Patent:  JP2001077142

Application Number: JP19990249987 19990903

Priority Number(s):

IPC Classification: H01L21/60; H01L23/12

EC Classification:

Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To restrain cracks on the interface between a solder and a bump electrode in a semiconductor device.

**SOLUTION:** A bump electrode enclosed with a sealing film 7 is composed of a lower electrode 6a consisting of copper and an upper electrode 6b consisting of solder. As a result, the interface between the lower electrode 6a and the upper electrode 6b is located inside the surface of the sealing film 7. Accordingly, the stress concentration does not occur on the interface and the production of cracks can be restrained.

Data supplied from theesp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-77142

(P2001-77142A)

(43)公開日 平成13年3月23日 (2001.3.23)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 21/60  
23/12

識別記号

F I  
H 0 1 L 21/92  
23/12

テーマコード(参考)

6 0 2 D  
6 0 2 L  
L

審査請求 未請求 請求項の数10 O.L (全 7 頁)

(21)出願番号 特願平11-249987  
(22)出願日 平成11年9月3日(1999.9.3)

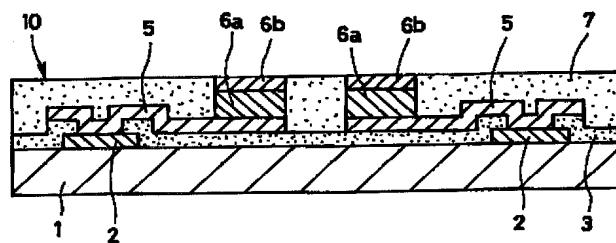
(71)出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(72)発明者 根岸 祐司  
東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内  
(72)発明者 伊藤 智宏  
東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内  
(72)発明者 若林 猛  
東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内  
(74)代理人 100073221  
弁理士 花輪 義男 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体装置の突起電極と半田との界面にクラックが発生しにくいようにする。

【解決手段】 封止膜7によって囲まれた突起電極は、銅からなる下部電極6aと半田からなる上部電極6bとからなっている。この結果、下部電極6aと上部電極6bとの界面が封止膜7の表面よりも内側に位置することになるので、当該界面に応力集中が生じることがなく、したがって当該界面にクラックが発生しにくくすることができる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された突起電極を除く領域の前記半導体基板上に封止膜が形成された半導体装置において、前記突起電極は下部電極と該下部電極よりも低融点の金属からなる上部電極とを具備し、前記下部電極の上面は前記封止膜の上面よりも低くなっていることを特徴とする半導体装置。

【請求項2】 請求項1記載の発明において、前記上部電極の上面と前記封止膜の上面は面一となっていることを特徴とする半導体装置。

【請求項3】 請求項1記載の発明において、前記上部電極の上部は前記封止膜の上面から突出されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の発明において、前記上部電極はきのこ形状であって、その傘の部分が前記封止膜の上面から突出していることを特徴とする半導体装置。

【請求項5】 請求項3記載の発明において、前記下部電極の上面に凹部が形成されていることを特徴とする半導体装置。

【請求項6】 半導体基板上に形成された突起電極を除く領域の前記半導体基板上に封止膜が形成された半導体装置において、前記突起電極は前記封止膜の上面と面一な第1層と該第1層上に前記封止膜より突出して形成された第2層とを具備し、前記第1層と前記第2層は低融点金属からなることを特徴とする半導体装置。

【請求項7】 半導体基板上に下部電極と該下部電極よりも低融点の金属からなる上部電極とからなる突起電極を形成し、前記突起電極を含む前記半導体基板上に封止膜を形成し、前記封止膜の上面側を研磨することにより、前記上部電極の上面を前記封止膜の上面と面一にすることを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に低融点金属からなる第1層を形成し、前記第1層を除く領域の前記半導体基板上に前記第1層の上面と面一になるように封止膜を形成し、前記第1層の上面に前記封止膜より突出する低融点金属からなる第2層を形成することを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上に下部電極を形成し、前記下部電極を含む前記半導体基板上に封止膜を形成し、前記封止膜の上面側を研磨することにより、前記下部電極の上面側を露出させ、この露出された前記下部電極の上面側をエッチングして除去し、前記下部電極上に低融点金属からなる上部電極を形成することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に柱状の下部電極を形成し、前記下部電極を含む前記半導体基板上に封止膜を形成し、前記封止膜の上面側を研磨することにより、前記下部電極の上面を露出させ、この露出された前記下部電極の上面に凹部を形成し、前記下部電極上に低融点金属

からなる上部電極を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、突起電極を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】例えばCSP (Chip Size Package) と呼ばれる半導体装置を製造する場合、一例として、まず図18に示すように、ウエハ状態のシリコン基板(半導体基板)1の上面に接続パッド2が形成され、その上面の接続パッド2の中央部を除く部分に絶縁膜3が形成され、絶縁膜3に形成された開口部4を介して露出された接続パッド2の上面から絶縁膜3の上面の所定箇所にかけて配線5が形成され、配線5の先端部の上面に金属からなる突起電極6が形成されたものを用意する。

【0003】次に、図19に示すように、突起電極6を含むシリコン基板1の上面全体にエポキシ樹脂からなる封止膜7をディスペンサ法等により厚さが突起電極6の高さよりもやや厚くなるように形成する。したがって、この状態では、突起電極6の上面は封止膜7によって覆われている。次に、封止膜7の上面側を適宜に研磨することにより、図20に示すように、突起電極6の上面を露出させる。次に、ダイシング工程を経ると、図21に示すように、個々の半導体装置10が得られる。

【0004】次に、図22は図21に示す半導体装置10を回路基板11上に実装した状態の一例の断面図を示したものである。この場合、半導体装置10の突起電極6の下端面は、回路基板11の上面の所定の箇所に設けられた接続端子12に、この接続端子12上にスクリーン印刷法により予め設けられた半田(ペースト)13を介して接続されている。

## 【0005】

【発明が解決しようとする課題】ところで、上記従来の半導体装置10では、突起電極6の露出面が封止膜7の表面と面一となるため、この面つまり突起電極6と半田13との界面に応力集中が生じることになる。この結果、半導体装置10を回路基板11上に実装した後において、温度サイクル試験等を行うと、シリコン基板1と回路基板11との間の熱膨張係数差に起因して発生する応力により、突起電極6と半田13との界面にクラックが発生することがあるという問題があった。この発明の課題は、突起電極と半田との界面にクラックが発生しにくくすることである。

## 【0006】

【課題を解決するための手段】この発明は、半導体基板上に形成された突起電極を除く領域の前記半導体基板上に封止膜が形成された半導体装置において、前記突起電極は下部電極と該下部電極よりも低融点の金属からなる上部電極とを具備し、前記下部電極の上面を前記封止膜

の上面よりも低くしたものである。この発明によれば、下部電極の上面を封止膜の上面よりも低くしているので、下部電極と上部電極との界面が封止膜の表面よりも内側に位置することになり、したがって当該界面に応力集中が生じることがなく、当該界面にクラックが発生しにくいようにすることができる。

## 【0007】

【発明の実施の形態】（第1実施形態）図1～図7はそれぞれこの発明の第1実施形態における半導体装置の各製造工程を示したものである。そこで、これらの図を順に参照して、この実施形態における半導体装置の構造についてその製造方法と併せ説明する。まず、図1に示すように、ウエハ状態のシリコン基板（半導体基板）1の上面に接続パッド2が形成され、その上面の接続パッド2の中央部を除く部分に酸化シリコン等からなる絶縁膜3が形成され、絶縁膜3に形成された開口部4を介して露出された接続パッド2の上面を含む絶縁膜3の上面全体に銅、アルミニウム等からなる配線形成用層5Aが形成されたものを用意する。

【0008】次に、図2に示すように、メッキレジスト層21を形成する。この場合、メッキレジスト層21の突起電極形成領域に対応する部分には開口部22が形成されている。次に、配線形成用層5Aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト層21の開口部22内の配線形成用層5Aの上面に下部電極6aを形成する。次に、配線形成用層5Aをメッキ電流路として半田（下部電極6aよりも低融点の金属）の電解メッキを行うことにより、メッキレジスト層21の開口部22内の下部電極6aの上面に上部電極6bを形成する。なお、上部電極6bを形成する前に、下部電極6aの上面にニッケル／金、ニッケル／半田、ニッケル／錫等を電解メッキすることにより表面処理を施すようにしてもよい。この表面処理層は、拡散防止層としての機能を有するものである。次に、メッキレジスト層21を剥離する。

【0009】次に、図3に示すように、配線形成用層5Aの上面の所定の箇所にレジスト層23を形成する。次に、レジスト層23及び両電極6a、6bをマスクとして配線形成用層5Aの不要な部分をエッチングして除去すると、図4に示すように、レジスト層23及び両電極6a、6b下に配線5が形成される。すなわち、この状態では、絶縁膜3に形成された開口部4を介して露出された接続パッド2の上面から絶縁膜3の上面の所定の箇所にかけて配線5が形成され、配線5の先端部の上面に下部電極6a及び上部電極6bが形成されている。次に、レジスト層23を剥離する。

【0010】次に、図5に示すように、下部電極6a及び上部電極6bを含むシリコン基板1の上面全体にエポキシ樹脂からなる封止膜7をディスペンサ法、スクリーン印刷法、ransfer Molding法等により厚さが両電

極6a、6bの合計高さよりもやや厚くなるように形成する。したがって、この状態では、上部電極6bの上面は封止膜7によって覆われている。次に、封止膜7の上面側を適宜に研磨することにより、図6に示すように、上部電極6bの上面を露出させる。なお、この状態では、下部電極6aの上面は封止膜7の上面よりも低くなっている。次に、ダイシング工程を経ると、図7に示すように、個々の半導体装置10が得られる。

【0011】次に、図8は図7に示す半導体装置10を回路基板11上に実装した状態の一例の断面図を示したものである。この場合、半導体装置10の上部電極6bの下端面は、回路基板11の上面の所定の箇所に設けられた接続端子12に、この接続端子12上にスクリーン印刷法等により予め設けられた半田（ペースト）13を介して接続されている。ところで、上部電極6bは半田によって形成されているので、この半田からなる上部電極6bと半田13とは互いに溶融してから一体的に固化する。

【0012】このように、半田からなる上部電極6bと半田13とが互いに溶融してから一体的に固化するので、銅からなる下部電極6aと半田6b、13との界面が封止膜7の表面よりも内側に位置することになり、この結果当該界面に応力集中が生じることがなく、したがって当該界面にクラックが発生しにくいようにすることができる。すなわち、応力集中は封止膜7の表面に沿う面に生じるが、当該面においては、半田からなる上部電極6bと半田13とが互いに溶融してから一体的に固化しているので、当該面に応力集中が生じてもクラックが発生することはない。

【0013】ところで、図21に示す従来の半導体装置10の場合には、例えば銅からなる突起電極6の上面が露出しているので、この露出面の酸化を防止するための表面処理を行うことがある。これに対して、図7に示すこの実施形態の半導体装置10の場合には、下部電極6aの上面は露出せず、半田からなる上部電極6bの上面が露出しているので、上記のような酸化防止のための表面処理を行う必要はない。

【0014】（第2実施形態）上記第1実施形態では、図2に示すように、上部電極6bをメッキレジスト層21の開口部22内のみに形成した場合について説明したが、図9に示すこの発明の第2実施形態のように、上部電極6bをメッキレジスト層21の開口部22内及びその上面側にきのこ形状に形成するようにしてもよい。この場合、図10に示すように、配線5を形成した後に、ディスペンサ法により封止膜7を形成するが、上部電極6bの傘の部分の下面が堰き止めとして機能することにより、封止膜7が両電極6a、6bを除く領域のシリコン基板1上であって上部電極6bの傘の部分下に形成されることになる。そして、この場合には、上部電極6bの傘の部分が封止膜7上に突出されるので、研磨処理は

行わない。また、図8を参照して説明すると、回路基板11の接続端子12上に半田13を予め設けておく必要もない。

【0015】(第3実施形態) 次に、この発明の第3実施形態における半導体装置の構造についてその製造方法と併せ説明する。まず、図20に示すものを用意する。ただし、この場合、突起電極6を、以下、下部電極6aという。次に、図11に示すように、封止膜7をマスクとして下部電極6aの上面側をエッチングして除去する。この場合のエッチング液としては、エンプレートAD-458イオン化合物(100%)を30g/Lで純水に溶解したものを用いる。また、エッチング深さは2~10μm程度とする。次に、図12に示すように、下部電極6aの上面に半田ボールあるいはスクリーン印刷等による半田ペーストからなる上部電極6bを封止膜7上に突出するように形成する。したがって、この場合も、図8を参照して説明すると、回路基板11の接続端子12上に半田13を予め設けておく必要はない。なお、上部電極6bを形成する前に、下部電極6aの上面にニッケル/金、ニッケル/半田、ニッケル/錫等による表面処理を施すようにしてもよい。

【0016】(第4実施形態) 次に、この発明の第4実施形態における半導体装置の構造についてその製造方法と併せ説明する。まず、図20に示すものを用意する。ただし、この場合も、突起電極6を、以下、下部電極6aという。次に、図13に示すように、レジスト層24を形成する。この場合、レジスト層24の下部電極6aの上面中央部に対応する部分には、下部電極6aの上面よりもやや小さめの開口部25が形成されている。次に、図14に示すように、レジスト層24をマスクとして下部電極6aの上面中央部をエッチングして除去することにより、下部電極6aの上面中央部に凹部8を形成する。次に、レジスト層24を剥離する。次に、図15に示すように、下部電極6aの上面に半田ボールあるいはスクリーン印刷等による半田ペーストからなる上部電極6bを封止膜7上に突出するように形成する。したがって、この場合も、図8を参照して説明すると、回路基板11の接続端子12上に半田13を予め設けておく必要はない。また、この場合には、凹部8の存在により、下部電極6aと上部電極6bとの接合面積が大きくなるので、応力を分散することにより、接合強度を強くすることができる。なお、上部電極6bを形成する前に、下部電極6aの上面にニッケル/金、ニッケル/半田、ニッケル/錫等による表面処理を施すようにしてもよい。また、レジスト層24を剥離せずに残すようにしてもよい。

【0017】(第5実施形態) 上記各実施形態では、銅からなる下部電極6aと半田からなる上部電極6bによって突起電極を形成した場合について説明したが、図16に示すこの発明の第5実施形態のように、突起電極

6を半田のみによって形成するようにしてもよい。そして、図17に示すように、半導体装置10の突起電極6の下端面を、回路基板11の接続端子12に、この接続端子12上に予め設けられた半田13を介して接続する。この場合、突起電極6は半田によって形成されているので、この半田からなる突起電極6と半田13とは互いに溶融してから一体的に固化する。したがって、この場合には、応力集中が封止膜7の表面に沿う面に生じても、当該面においては、半田からなる突起電極6と半田13とが互いに溶融してから一体的に固化しているので、クラックが発生することはない。

【0018】(その他の実施形態) 上記各実施形態では、下部電極6aを銅の電解メッキによって形成する場合について説明したが、ニッケル、金等の電解メッキによって形成するようにしてもよい。また、例えば、図6あるいは図7に示す状態において、上部電極6b上に半田ボールあるいはスクリーン印刷等による半田ペーストからなる外部電極を形成するようにしてもよい。また、図20あるいは図21に示す状態において、突起電極20(第1層)6上に半田ボールあるいはスクリーン印刷等による半田ペーストからなる外部電極(第2層)を形成するようにしてもよい。このようにした場合には、図8を参照した説明すると、回路基板11の接続端子12上に半田13を予め設けておく必要はない。

#### 【0019】

【発明の効果】以上説明したように、この発明によれば、下部電極の上面を封止膜の上面よりも低くしているので、下部電極と上部電極との界面が封止膜の表面よりも内側に位置することになり、したがって当該界面に応力集中が生じることがなく、当該界面にクラックが発生しにくいようにすることができる。

#### 【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の製造に際し、当初用意したものの断面図。

【図2】図1に続く製造工程の断面図。

【図3】図2に続く製造工程の断面図。

【図4】図3に続く製造工程の断面図。

【図5】図4に続く製造工程の断面図。

【図6】図5に続く製造工程の断面図。

【図7】図6に続く製造工程の断面図。

【図8】図7に示す半導体装置を回路基板上に実装した状態の一例の断面図。

【図9】この発明の第2実施形態における半導体装置の製造に際し、所定の製造工程の断面図。

【図10】図9に続く製造工程の断面図。

【図11】この発明の第3実施形態における半導体装置の製造に際し、所定の製造工程の断面図。

【図12】図11に続く製造工程の断面図。

【図13】この発明の第4実施形態における半導体装置の製造に際し、所定の製造工程の断面図。

【図14】図13に続く製造工程の断面図。

【図15】図14に続く製造工程の断面図。

【図16】この発明の第5実施形態における半導体装置を説明するために示す断面図。

【図17】図16に示す半導体装置を回路基板上に実装した状態の一例の断面図。

【図18】従来の半導体装置の一例の製造に際し、当初用意したものとの断面図。

【図19】図18に続く製造工程の断面図。

【図20】図19に続く製造工程の断面図。

【図21】図20に続く製造工程の断面図。

【図22】図21に示す半導体装置を回路基板上に実装した状態の一例の断面図。

#### 【符号の説明】

1 シリコン基板

2 接続パッド

3 絶縁膜

5 配線

6a 下部電極

6b 上部電極

7 封止膜

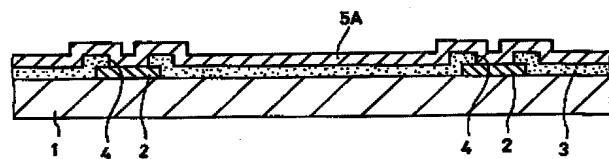
10 半導体装置

11 回路基板

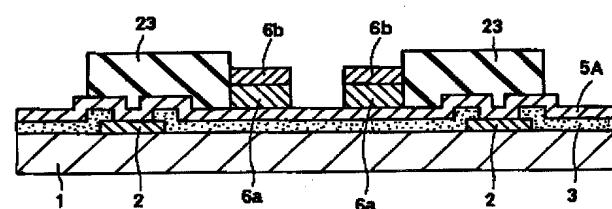
12 接続端子

13 半田

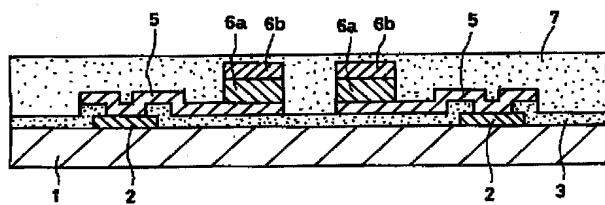
【図1】



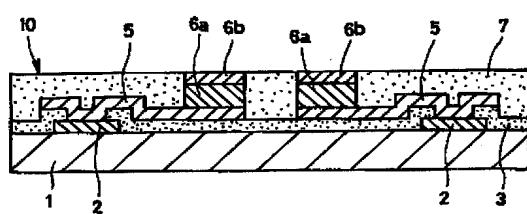
【図3】



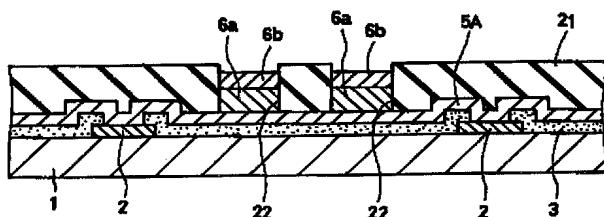
【図5】



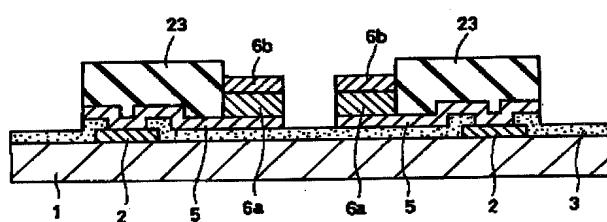
【図7】



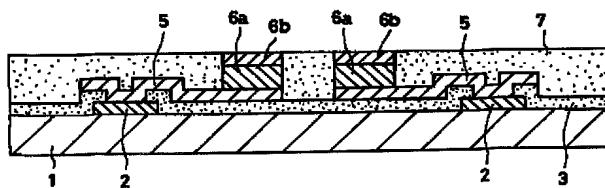
【図2】



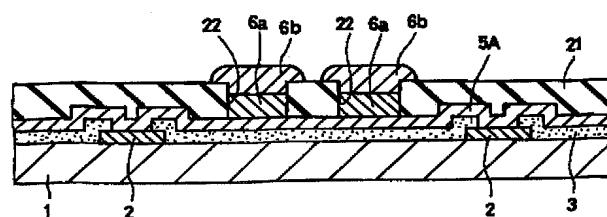
【図4】



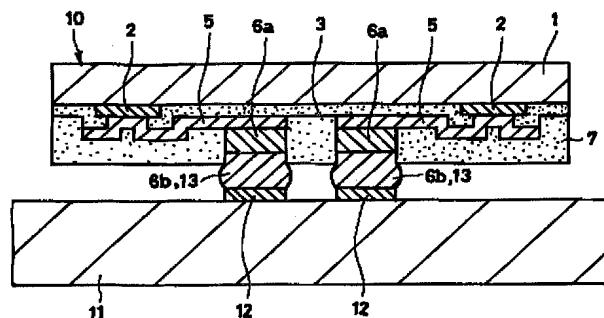
【図6】



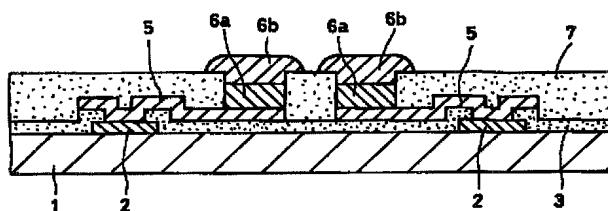
【図9】



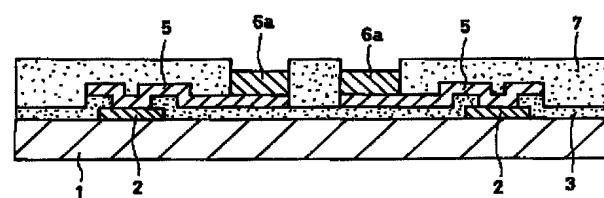
【図8】



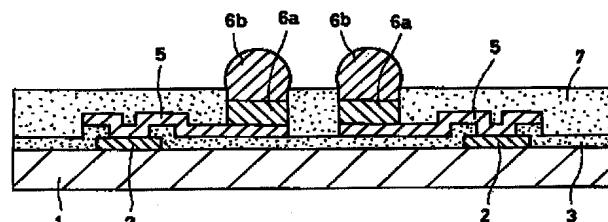
【図10】



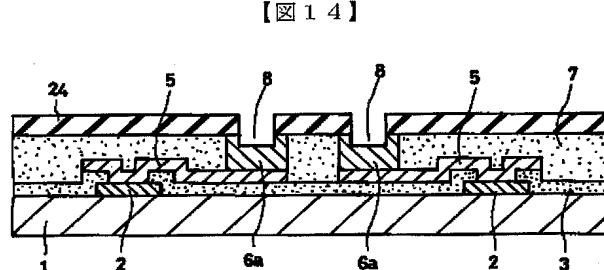
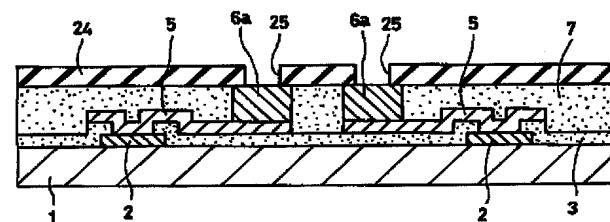
【図11】



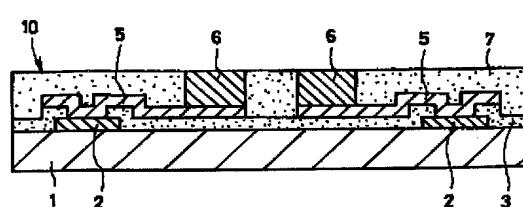
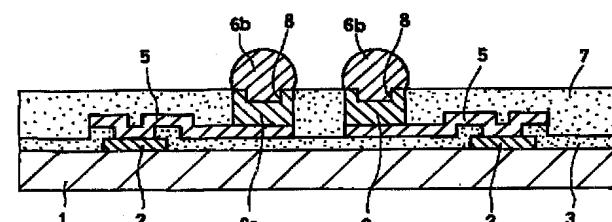
【図12】



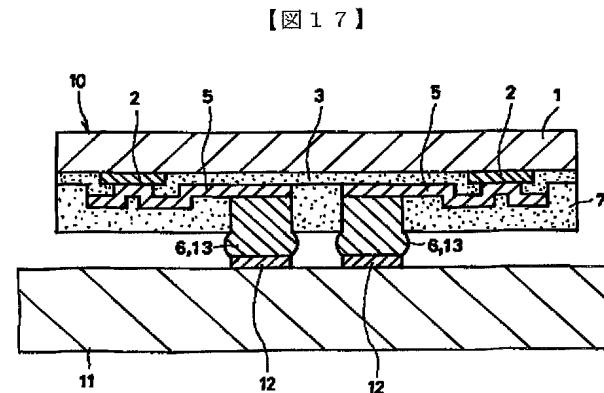
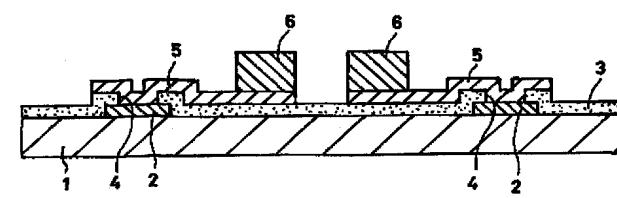
【図13】



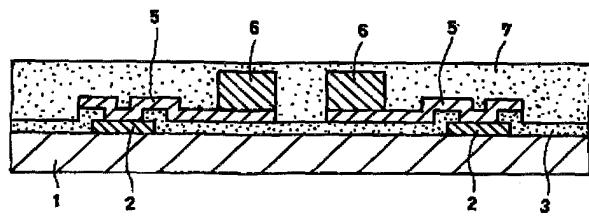
【図15】



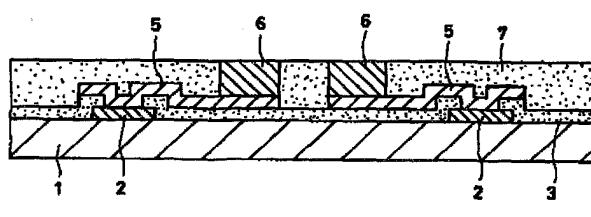
【図18】



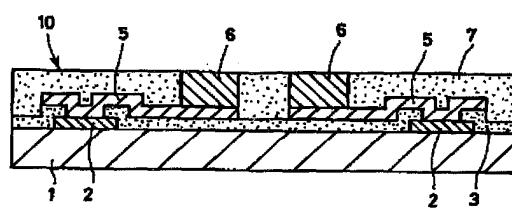
【図19】



【図20】



【図21】



【図22】

